

04105071 **Image available**

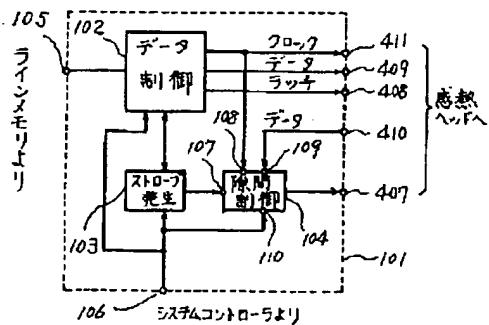
GRADATION CONTROL CIRCUIT IN THERMAL TRANSFER RECORDER

PUB. NO.: 05-096771 JP 5096771 A]
PUBLISHED: April 20, 1993 (19930420)
INVENTOR(s): NAKANO TETSUO
OKADA YOSHINORI
MOCHIMARU YOSHIAKI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
HITACHI GAZOU JOHO SYST KK [000000] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 03-258867 [JP 91258867]
FILED: October 07, 1991 (19911007)
INTL CLASS: [5] B41J-002/37
JAPIO CLASS: 29.4 (PRECISION INSTRUMENTS -- Business Machines)
JOURNAL: Section: M, Section No. 1462, Vol. 17, No. 439, Pg. 11,
August 13, 1993 (19930813)

ABSTRACT

PURPOSE: To obtain a thermal transfer recorder reducing a recording density fluctuation, which is corresponding to a pattern of an image under printing and caused by, especially, a voltage drop of a common electrode of a thermal head, with respect to a thermal transfer recorder performing a binary or multi- gradation recording.

CONSTITUTION: When drive data of a thermal head is OFF data, a gap control means 104 controls an electric power to be applied to the thermal head by adding an OFF time to an electric signal waveform. Therefore, when the number of heating resistors to be electrically conducted is large, an applied electric power is raised; and when the number of heating resistors to be electrically conducted is small, an applied electric power is reduced. In this manner, a fluctuation of an applied electric power caused by a voltage drop in the thermal head can be reduced, and printing free from a density unevenness can be obtained.



THIS PAGE BLANK (USPTO)

DIALOG(R) File 345:Inpadoc/Fam. & Legal Stat
(c) 2000 EPO. All rts. reserv.

11156573

Basic Patent (No,Kind,Date): JP 5096771 A2 930420 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 5096771	A2	930420	JP 91258867	A	911007 (BASIC)

Priority Data (No,Kind,Date):

JP 91258867 A 911007

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 5096771 A2 930420

GRADATION CONTROL CIRCUIT IN THERMAL TRANSFER RECORDER (English)

Patent Assignee: HITACHI LTD; HITACHI GAZOU JOHO SYST KK

Author (Inventor): NAKANO TETSUO; OKADA YOSHINORI; MOCHIMARU YOSHIAKI

Priority (No,Kind,Date): JP 91258867 A 911007

Applie (No,Kind,Date): JP 91258867 A 911007

IPC: * B41J-002/37

JAPIO Reference No: ; 170439M000011

Language of Document: Japanese

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】複数の発熱素子をライン上に配列することにより構成した感熱ヘッドと、前記感熱ヘッドの個々の抵抗体の通電のオン、オフを制御するデータ制御手段と、抗体の通電時間を制御するストローブ信号を発生するストローブ発生手段とで構成される熱転写記録装置において、

各抗体の通電のオン、オフを検出し、該検出結果でストローブ発生手段の発生する出力信号のデューティを制御する手段を有し、

デューティ制御されたストローブ信号で抗体の通電時間を制御することを特徴とする、熱転写記録装置の階調制御回路。

【請求項2】前記デューティの制御手段は、抗体の通電がオフの場合に、ストローブ発生手段の出力信号にオフ時間を追加するように構成されることを特徴とする、請求項1に記載の熱転写記録装置の階調制御回路。

【請求項3】前記感熱ヘッドは複数のデータ入力端子を有し、前記データ制御手段は通電のオン、オフを制御するデータを複数同時に感熱ヘッドに転送するものであつて、

前記デューティの制御手段は、同時に転送される通電のオン、オフデータのオフデータの数に応じた時間、あるいは数のオフ時間を、ストローブ発生手段の出力信号に追加するように構成されることを特徴とする、請求項1に記載の熱転写記録装置の階調制御回路。

【請求項4】前記デューティの制御手段はデータ制御手段の出力から、オン、オフする抵抗体の数をカウントするカウンタを有し、該カウンタの出力に応じた時間、あるいは数のオフ時間を、ストローブ発生手段の出力信号に追加するように構成されることを特徴とする、請求項1に記載の熱転写記録装置の階調制御回路。

【請求項5】前記デューティの制御手段は抵抗体の位置と、その通電のオン、オフに応じた係数を発生する手段と該係数の全抵抗体にわたる累積値に応じた時間、あるいは数のオフ時間を、ストローブ発生手段の発生する出力信号に追加するように構成されることを特徴とする、請求項1に記載の熱転写記録装置の階調制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、2値あるいは多階調の記録を行う熱転写記録装置に係わり、特にプリント中の画像のパターンに対応した記録濃度の変動を補正することができる熱転写記録装置の階調制御回路に関するものである。

【0002】

【従来の技術】図2は従来の熱転写記録装置の概略を示す構成図である。同図において201は画像信号の入力端子、202は入力インターフェイス、203は画像メモリ、204はラインメモリ、201は階調データを各

ドット毎の通電時間に変換して感熱ヘッドを駆動する階調制御回路、205は感熱ヘッド、206は感熱ヘッドの駆動用電源、207は記録装置の機構部、208はシステムコントローラである。

【0003】まず、入力端子201から入力された画像信号は、インターフェイス202を介して画像メモリ202に記憶される。記憶された信号はラインメモリ204に1ライン転写分のみ格納される。階調制御回路101は入力された1ラインの階調データを駆動パルスの時間長に変換して、感熱ヘッド205を駆動し記録が行われる。

【0004】さらに図3、図4を用いて感熱ヘッドの駆動について述べる。

【0005】図3は感熱ヘッドの外観図である。図中、301はプリント配線などで製造される共通電極、302はセラミック基板上に薄膜プロセスなどで製造される共通電極、303はセラミック基板、304はライン上に配列された複数の発熱抵抗体列、305はそれぞれの抵抗体と対応するドライバを接続する配線部、306は配線305とドライバを接続するボンディングワイヤ、307は抗体を駆動するためのドライバ、シフトレジスタ、ラッチなどの集積回路、308は通電データのコネクタ、309は抗体印加用の電源入力コネクタである。

【0006】図4は感熱ヘッドを電気的に表した回路図である。図中、401は発熱抵抗体のそれぞれに対応してオン、オフするためのドライバ素子、402は論理積ゲート、403はラッチ、404はシフトレジスタ、405、406は抗体印加用の電源入力端子、407はストローブ信号入力端子、408はラッチ信号入力端子、409はシフトレジスタのデータ入力端子、410はシフトレジスタのデータ出力端子、411はクロック入力端子である。RHは発熱抵抗体の抵抗を示す。R1は共通電極301の配線抵抗、R2、R3は共通電極302の配線抵抗である。これらの配線抵抗は各発熱抵抗体に対して、分布定数的に存在する。

【0007】次に感熱ヘッドの駆動動作について述べる。発熱抵抗体列304の各抵抗体のオン、オフのパターンを、入力端子409よりシフトレジスタ404に入力する。1ライン分のデータをシフトレジスタ404に入力完了した後、ラッチ403に転送する。しかる後、入力端子407よりストローブ信号をオンすることによって、発熱抵抗体を選択的に発熱させることができる。発熱時間の制御は、ストローブ信号のオン時間を制御することで行える。上記動作を1ラインについて1回行えば2値記録、さらに複数回行えばその回数に応じた階調数で濃度制御が行える。

【0008】さて、上記のような熱転写記録装置では発熱させる抵抗体の数により共通電極301、302を流れる電流が変化する。共通電極301、302では、流

れる電流量に応じて電圧降下が発生し、実際に発熱抵抗体に供給される電圧が変化する。供給電圧が変化すると、発熱抵抗体列304中の各発熱抵抗体の発熱量が変化する。つまり発熱させる抵抗体の数に応じて、記録濃度ムラが生じる。

【0009】例えば、図5に示すような一定の濃度の中に白エリアがあるようなパターンを記録しようとする場合、図中のA-A'線上の濃度は同図下のグラフの実線のようになる。記録の目標濃度をグラフの点線で表す。発熱する抵抗体の数が多いほど、共通電極の電圧降下が大きく、記録される濃度が低くなり濃度ムラとなってしまう。

【0010】以上説明したごとき、共通電極の電圧降下を補正し、記録を行う熱転写記録装置としては特開平1-150557号公報等に記載のものが知られている。

【0011】上記従来技術は、リモートセンス機能を有する電源を用いて発熱抵抗体に印加される電圧が一定になるように、電源を制御するというものである。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来技術においては、感熱ヘッドの電源コネクタ上でセンスを行った場合、電源から感熱ヘッドまでの配線抵抗分は補正できるが、感熱ヘッド上の配線抵抗分は依然として未補正のまま残り、高精度な補正が出来なかった。さらには、電源の応答遅れなどによって逆にムラが生じるなど性能を確保するのが非常に困難であった。

【0013】また、図4に示すように配線抵抗R3によって、各発熱抵抗体に対して配線抵抗は分布定数的に存在することはすでに述べたとおりであるが、この補正に関してはなんら考慮されていない。

【0014】本発明の目的は、共通配線の配線抵抗の影響による濃度ムラを補正することを可能にし、さらに発熱抵抗体の並びにしたがって分布定数的に存在する配線抵抗による濃度ムラを補正することが可能であるよう、熱転写記録装置の階調制御回路を提供することにある。

【0015】

【課題を解決するための手段】上記目的達成のため、本発明では、通電する抵抗体の数を検出し、その数の多い場合は印加する電力が大きく、その数が少ない場合は印加する電力が小さくなるように、通電する抵抗体の数に応じてストローブ信号のデューティーを変化させる。

【0016】また、発熱抵抗体の並び方向のムラを補正するためには、通電する抵抗体の数を検出する際に各抵抗体の位置に応じて重み付けを行い、前記重みを累積しその結果に応じてストローブ信号のデューティーを変化させる。

【0017】

【作用】共通配線の電圧降下による濃度ムラは、通電する抵抗体の数が多い場合は濃度が低くなる。そこで、印

10

20

30

40

50

加する電力が大きくなるようにストローブ信号のデューティーを変化させる。これによって、共通配線の電圧降下によって記録濃度が低くなるのを抑えることが出来る。逆に、通電する抵抗体の数が少ない場合は、印加する電力が小さくなるようにストローブ信号のデューティーを変化させ、記録濃度が高くなるのを抑えることが出来る。

【0018】

【実施例】次に、図を参照して本発明の実施例を説明する。

【0019】図1は本発明の一実施例を示すブロック図である。同図において101は階調制御回路、102はデータ制御手段、103はストローブ発生手段、104はストローブ信号にオフ時間を入れてそのデューティーを変化させる隙間制御手段、105はラインメモリ204からのデータを入力する端子、106はシステムコントローラ208と接続するための端子、107はストローブ発生手段103の出力を隙間制御手段104に入力するための端子、108はクロックを入力する端子、109は感熱ヘッドからのデータ出力を入力する端子、110はシステムコントローラからの制御信号を入力する端子、407~411は図4に示した感熱ヘッドの入出力端子である。

【0020】図1に示した本発明の一実施例が従来の階調制御回路と異なる点は、図1において、隙間制御手段104を図示のごとく設けた点にある。つまり感熱ヘッド205のシフトレジスタ404のデータ出力と、ストローブ発生手段103の出力するストローブ信号とを、隙間制御手段104に供給し処理した後に、新たなストローブ信号として感熱ヘッド205に出力するようにした点が従来との相違点である。

【0021】図6を用いて、図1に示す一実施例の動作を説明する。図6は多階調の制御を行った場合の、感熱ヘッド205および隙間制御手段104の駆動波形で、N階調目付近の通電動作を示す図である。同図において、601は感熱ヘッド205のシフトレジスタ404に入力されるクロック、602はデータ、603はシフトレジスタ404より出力されるデータ、604はラッチ403に入力されるラッチパルス、605はストローブ出力手段103より出力されるストローブ信号、606は隙間制御手段104より出力され感熱ヘッドに205に入力される新たなストローブ信号を示している。

【0022】データ制御手段102は発熱抵抗体列304の各抵抗のオン、オフパターンデータ602を、クロック601に同期してシフトレジスタ404に入力する。N階調目のデータを入力後、N-1階調目の通電が終了するのを持ち、ラッチパルス604のタイミングで、ラッチ403にデータを転送し、ストローブ信号をオンにしてN階調目の通電を行う。N階調目の通電中には、次のN+1階調目のデータがシフトレジスタ404

に転送されている。N+1階調目のデータを転送中、シフトレジスタ404からはN階調目のデータが出力されている。つまり、N階調目の通電を行っている間に、シフトレジスタ404からはまさにN階調目のデータが出力されているわけである。

【0023】隙間制御手段104はシフトレジスタ404からの出力データ603を検知し、前記データがオフの場合には所定の期間ストローブをオフにするよう動作し、この動作をデータの個数、すなわち発熱抗体の数だけ行うことによって補正処理された出力信号606を得る。

【0024】このように、出力データ603を用いることによって、N階調目のデータで、N階調目のストローブを処理することが出来、良好なタイミングで補正が行える。

【0025】図7と図8を用いて図1の実施例に用いる隙間制御手段の一実施例の構成と動作を説明する。

【0026】図7において701はデューティ可変手段、702はORゲート、703はANDゲートである。なお図1と同一の動作をするものには同一の符号が付してある。

【0027】図8はnドット目付近のデータの処理動作を表す波形図であり、例えばnドット目がオフ、n+1ドット目がオン、n+2ドット目がオフする場合を表している。図8において801は入力端子108に入力されるクロック信号、802は信号801の立ち上がりのタイミングで所定の期間tだけオフになる信号、803は入力端子109に入力されるデータを示す信号、804は信号802と信号803のORを取った信号、805は入力端子107に入力されるストローブ信号で同図ではオンし続けている、806は信号804と信号805のANDを取った信号である。

【0028】統いて図7の動作を説明する。入力端子108より入力された信号801はデューティ可変手段701に入力される。デューティ可変手段701は入力信号801の立ち上がりのタイミングで、所定の期間tだけオフになる信号を出力する。デューティ可変手段701は、例えば単安定マルチバイブレータ等であって、オフ時間tはシステムコントローラ208からの制御信号により変えることも出来る。デューティ可変手段107の出力信号はORゲート702で、データ信号803とORを取られ、信号804の様に出力される。さらにORゲートから出力された信号804は、ANDゲート703でストローブ信号805とANDを取られ、信号806の様に出力される。信号806は新たなストローブ信号として感熱ヘッド205に送られる。

【0029】以上説明した様にして、感熱ヘッドのある発熱抗体が通電しない場合、すなわち感熱ヘッドの駆動データ信号803がオフの場合には、元のストローブ信号805を一定期間tだけオフする。前記動作を発熱

抗体の数、つまり感熱ヘッドの駆動データの数だけを行うことによって、通電しない抗体の数が多いほど、言い替れば通電する抗体の数が少ないほど、印加する電力が少なくなるようにストローブ信号のデューティを変化させ、記録濃度のムラを抑えることが出来る。

【0030】多階調の記録を行う場合であって、階調毎に通電時間（すなわちストローブ信号のオン時間）が異なる場合には、デューティ可変手段701の出力するオフ時間tが一定であるとすると、通電する抗体の数が同じであっても、階調によって通電時間に占めるオフ時間の割合が変わり補正効果にムラが生ずる。この場合にはシステムコントローラ208からの制御信号によって、階調毎にデューティ可変手段701の出力するオフ時間tを、通電時間に合わせて設定しなおせば良い。

【0031】図9に、図1に示した実施例の隙間制御手段104の他の実施例を示す。同図において901は遅延手段であり、その他に図7と同一の動作をするものには同一の符号が付してある。

【0032】図10は図9に示す隙間制御手段104の動作を示す図で、n階調目付近の動作を示している。同図において1001は端子108に入力されるクロック信号、1002は端子109より入力されるデータを示す信号、1003は遅延手段901の出力信号、1004は端子107に入力されるストローブ信号、1005は信号1003と信号1004のANDを取った信号である。

【0033】ストローブ信号1004はある階調の通電を終えて、次の階調の通電を行うときに、感熱ヘッドの205のラッチ403にデータをラッチするために、ストローブ信号を一旦オフにする。このオフの期間とデータの転送時間が重なった場合には、補正が正常に行われない。そこで、遅延手段901を図示の通りに設けることによって、ストローブ信号1004がオンした後にデータ信号1002に応じたオフ時間を入れることができる。

【0034】例えば図10のようにデータ信号1002よりも、時間t1だけ遅れてストローブ信号1004がオンする場合、ストローブ信号1004がオンしている間に遅延手段901の出力1003が終了する範囲内で、遅延手段901の遅延時間t2をt1より大きく設定すればよい。

【0035】本発明の他の実施例を図11に示す。同図において1101はシフトレジスタであり、その他に図1と同一の動作をするものには同一の符号が付してある。

【0036】図1に説明した実施例では、隙間制御手段104に入力するデータとして、感熱ヘッド205のシフトレジスタ404の出力を用いていたが、場合によつては感熱ヘッドにデータの出力端子410が存在しないものもあり得る。本実施例では図示のようにシフトレジ

スタ1101を配置することによって、間熱ヘッドのデータ出力を用いざとも、図1に示す実施例と同等の効果をえられるものである。シフトレジスタ1101は感熱ヘッド205のシフトレジスタ404のビット数と等しいだけのビット数を備えている。従って、シフトレジスタ1101の出力は、シフトレジスタ404の出力と等しく、よって本実施例の階調制御手段101は図1の実施例と同等に動作する。

【0037】また、図11においてシフトレジスタ1101の存在しない場合、すなわちデータを直接隙間制御手段104に入力した場合、図6に示すようにn階調目のストローブを補正するために、n+1階調目のデータを用いることになってしまうがこの場合でも、ある程度の補正効果は得られる。

【0038】以上説明した実施例では、感熱ヘッドのデータ入力が、1入力の場合であったが、感熱ヘッドを高速に駆動するために、データの入力を分割して行う場合がある。例えば図12に、2入力の感熱ヘッドの回路図を示す、404a、404bは分割されたシフトレジスタ、409a、409bはシフトレジスタのデータ入力端子、410a、410bはシフトレジスタのデータ出力端子である。同図に示すようにシフトレジスタ404a、404bの2個のシフトレジスタを持ち、データを入力端子409a、409bの両方から同時に入力することによって高速にデータの転送を行うものである。

【0039】図13に分割入力を行う感熱ヘッドに対応した階調制御手段の一実施例を示す。同図において、図1と同一の動作をするものについては同一の符号を付してある。同図は、図1に対して感熱ヘッドの駆動データが図示したように2系統ある点が異なる。

【0040】図14に、図13に示した階調制御手段の101に用いる隙間制御手段104の一構成例を示す。同図において1401a、1401bはラッチ、1402は入力されたクロックの2倍の周波数で発信する2倍発信器、1403は切り替えスイッチである。その他に、図7と同一の動作をするものについては同一の符号を付してある。

【0041】統いて図14の動作を説明する。入力端子109a、109bから入力されたデータは、ラッチ1401a、1401bで次のクロックまで保持される。一方2倍発信器1402は端子108から入力されるクロックの2倍の周波数で発信し、スイッチ1403を切り換えると共に、デューティ可変手段701を駆動する。デューティ可変手段701、ORゲート702、ANDゲート703は図7と同様に動作し、スイッチ1403で選択したデータのオン、オフに応じて、ストローブ信号にオフ期間を入れる。つまり、2つの入力データを、データの転送周波数の2倍の周波数で切りかえ、切り換えられたデータのオン、オフに応じてストローブにオフ期間を入れるわけである。このようにして2入力の

感熱ヘッドの場合にも補正が行われる。

【0042】本実施例では、2入力の場合について説明したが3入力以上の場合についても同様にして補正が可能であることは言うまでもない。

【0043】図15に、図13に示した階調制御手段の101に用いる隙間制御手段104の他の構成例を示す。同図において、1501a、1501bはバッファ、1502aは抵抗、1502bは抵抗1502aと同一抵抗値を持つ抵抗、1503は抵抗、1504は端子である。その他に、図7と同一の動作をするものについては同一の符号を付してある。

【0044】図16は、図15に示した隙間制御手段104の動作を示す図である。同図において、1601はクロック信号、1602は端子190aに入力されるデータ信号、1603は端子190aに入力されるデータ信号、1604は端子1504に現れる電圧、1605はデューティ可変手段701の出力する信号、1606は端子107に入力されるストローブ信号、1607は信号1605、1606のANDを取った信号である。

【0045】統いてその動作を説明する。入力端子109a、109bの両方にオフの信号が入力されたとき、端子1504に現れる電圧は0Vである。入力端子109a、109bのどちらか一方にオン、もう一方にオフの信号が入力されたとき、端子1504には電圧E1が現れる。抵抗1502a、1502bの抵抗値は等しいため、入力端子109a、109bのどちらがオンになっても端子1504に現れる電圧は同じである。さらに、入力端子109a、109bの両方にオンの信号が入力されたとき、端子1504には電圧E2が現れる。

30 デューティ可変手段701は端子1504に入力される電圧の値が小さいときにはオフに期間が長く、電圧値が大きいときにはオフ期間が短くなるように、電圧に応じてオフ期間の異なるパルスを出力する。すなわち、入力端子109a、109bにそれぞれ信号1602、1603が入力されたとき、端子1504には、信号1604に示すような0、E1、E2の3つの異なる電圧が現れる。デューティ可変手段701は、クロック信号1601の立ち上がりのタイミングで、信号1604の電圧に応じた期間オフになる信号1605を出力する。信号1605と入力されたストローブ信号1606はANDゲート703でANDを取られ、オフ期間の入ったストローブ信号として感熱ヘッドに送られる。

【0046】以上説明したようにして、データの入力を分割して行う場合に、同時に送られるデータのうちでオフデータが多いほど、ストローブ信号に長いオフ期間を設けることが出来る。これによって、通電する抵抗体の数が少ないほど、印加する電力が少なくなるようにストローブ信号のデューティを変化させ、記録濃度のムラを抑えることが出来る。

【0047】本実施例では、2入力の場合について説明

したが3入力以上の場合についても、バッファ、及び抵抗の追加のみで同様にして補正が可能であることは言うまでもない。

【0048】図17に本発明による階調制御手段の他の実施例を示す。同図において1701は感熱ヘッドに転送されるオンドータの数をカウントするカウンタ、1702はカウンタ1701のカウント値に応じた時間幅のオフパルスを発生するパルス発生手段である。そのほかに図1と同一の動作をするものについては同一の符号が付してある。図18は、図17に示した階調制御手段101の動作波形図である。同図において1801はデータ転送用のクロック信号、1802は発熱抵抗体のオン、オフデータ信号、1803はラッチ信号、1804はパルス発生手段1702の出力信号、1805はストローブ発生手段103の発生するストローブ信号、1806は信号1804と、信号1805のANDを取った信号である。

【0049】統いて図17の階調制御手段101の動作を説明する。カウンタ1701は感熱ヘッド205に転送されるデータのうち、オンドータの数をカウントする。パルス発生手段1702ではラッチ信号が入力されたときのカウンタ1701のカウント値に応じてオフパルスを発生する。オフ時間の長さは、カウント値が多い場合には短く、カウント値が少ない場合には長くなるように予め設定されている。またストローブ信号1805がラッチの瞬間にオフするので、ラッチパルスの出力後一定時間後にオフパルスを発生するように設定されている。一方カウンタ1701はラッチ信号の入力後リセットされ、次の階調のデータのカウントに備える。パルス発生手段1702の出力信号と、ストローブ発生手段103の出力信号はANDゲート1703でANDを取り、感熱ヘッド205を通電する。

【0050】例えば、データ信号1802のn階調目では通電する抵抗体の数が多い場合の例、n+1階調目では通電する抵抗体の数が少ない場合の例である。パルス発生手段1702の出力信号1804において、n階調目ではオフパルスの時間t1が短く、n+1階調目ではオフパルスの時間t2が長い。信号1804とストローブ発生手段103の出力信号のANDを取って信号1806が得られ、新たなストローブ信号として感熱ヘッドを通電する。信号1806に示すように通電する抵抗体の数が多い場合には、通電する時間が長く、通電する抵抗体の数が少ない場合には通電する時間が短い。

【0051】このようにして、通電する抵抗体の数に応じて、通電する時間を変えることによって記録濃度のムラを補正できる。

【0052】図19に分割入力を用いた感熱ヘッドに対応した階調制御手段の一実施例を示す。同図において、1701a、1701bはカウンタ、1801はカウンタ1701a、1701bのカウント値を加算する加算器

である。その他に、図17と同一の動作をするものには同一の符号を付してある。

【0053】本実施例では、分割して入力されるデータをそれぞれカウンタ1701a、1701bでカウントし、カウント値を加算器1801で加算する。パルス発生手段1702は加算された値に応じた時間幅のオフパルスを発生するので、図17に示した実施例と同様にして補正が可能である。

【0054】本実施例では、2入力の場合について説明したが3入力以上の場合についても、カウンタの追加のみで同様にして補正が可能であることは言うまでもない。

【0055】ところで、図4に示すように配線抵抗R3によって、各発熱抵抗体に対して配線抵抗は分布定的に存在することはすでに述べた通りである。例えば、図20に示すようなパターンを記録しようとする場合、図中のC-C'線上の濃度は、B-B'線上の濃度に比較して小さくなる。これは、発熱抵抗体列の中央ほど配線抵抗が大きく、記録される濃度が低くなるためである。これを補正するためには、通電する抗体の数を検出する際に各抗体の位置に応じて重み付けを行い、前記重みを累積しその結果に応じてストローブ信号のデューティーを変化させればよい。

【0056】図21に、前期した濃度変動を低減する階調制御の実施例を示す。銅枠において2101a、2101bは各抵抗体毎の重みを記録したROM、2102はROM2101a、2101bの出力する重み係数を加算し全抵抗体の数にわたって累積する加算器である。その他に、図19と同一の動作をするものには同一の符号が付してある。

【0057】カウンタ1701はクロックの数をカウントし、カウントしたカウント値と、データをアドレス信号としてROM2101a、2101bに出力する。カウンタ1701のカウント値は、転送されるデータが、どの発熱抵抗体のデータであるかを表している。ROM2101a、2101bは入力されたカウント値に従って、データがオンの場合には、各発熱抵抗体毎の重み付け係数を加算器2102に出力する。データがオフの場合には重み係数0を出力する。ROM2101a、2101bに記憶する重み付け係数は、発熱抵抗体列の中央に相当するアドレスほど、大きな値を持つように設定されている。加算器2102はROM2101a、2101bの出力を加算し、その加算値を全発熱抵抗体にわたって累積する。累積された値は、パルス発生手段1702で、累積値に応じた時間幅のオフパルスに変換され出力される。オフ時間の長さは累積値が大きいほど、すなわち通電する発熱体が発熱抵抗体列304中央に多くあるほど、短くなるように設定されている。出力されたオフパルスは、ANDゲート1703でストローブ発生手段103の出力するストローブ信号に追加され、感熱へ

40 40 40 50

ドに送られる。

【0058】本実施例では通電する抵抗体が、発熱抵抗体列の中央であるほど印加する電力が大きくなるため、図20に示すような濃度変動を抑制することが出来る。

【0059】

【発明の効果】本発明によれば、通電する発熱抵抗体の数に応じて、通電時間を制御することが出来るため、感熱ヘッドの共通電極の電圧降下による濃度ムラを低減することが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例を示す階調制御の構成図である。

【図2】熱転写記録装置の概略を示す構成図である。

【図3】感熱ヘッドの外観図である。

【図4】感熱ヘッドの回路図である。

【図5】従来の装置での、記録パターンによる濃度ムラを説明する図である。

【図6】図1に示す階調制御回路の動作波形図である。

【図7】図1に示す実施例に用いる隙間制御手段の構成図である。

【図8】図7に示す隙間制御手段の動作波形図である。

【図9】図1に示す実施例に用いる隙間制御手段の他の構成図である

【図10】図9に示す隙間制御手段の動作波形図である。

【図11】本発明の他の実施例を示す階調制御手段の構成図である。

10

20

成図である。

【図12】2入力の感熱ヘッドの回路図である。

【図13】2入力の感熱ヘッドに対応した、本発明の一実施例を示す階調制御の構成図である。

【図14】図13に示す階調制御に用いる、隙間制御手段の一構成図である。

【図15】図13に示す階調制御に用いる、隙間制御手段の他の構成図である。

【図16】図15に示す隙間制御手段の動作波形図である。

【図17】本発明の他の実施例を示す階調制御手段の構成図である。

【図18】図17に示す隙間制御手段の動作波形図である。

【図19】2入力の感熱ヘッドに対応した、本発明の他の実施例を示す階調制御の構成図である。

【図20】従来の装置での、記録パターンによる濃度ムラを説明する図である。

【図21】本発明の他の実施例を示す階調制御の構成図である。

【符号の説明】

101…階調制御手段、

102…データ制御手段、

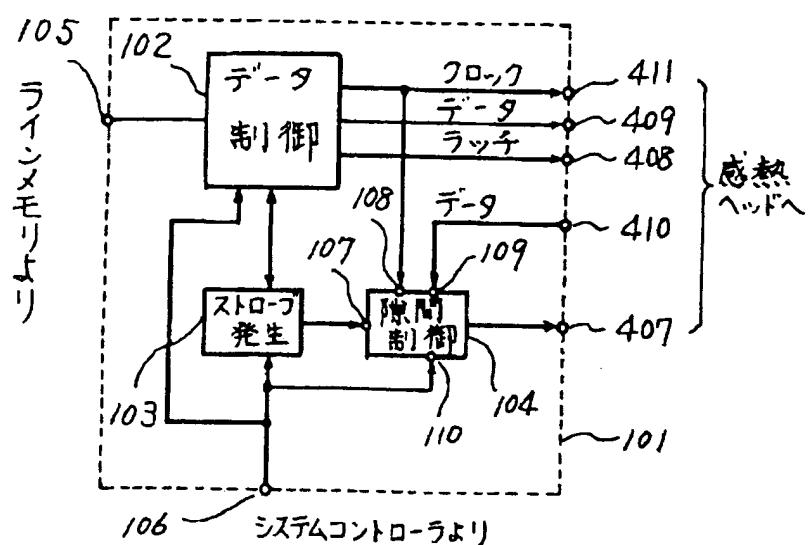
103…ストローブ発生手段、

104…隙間制御手段、

205…感熱ヘッド。

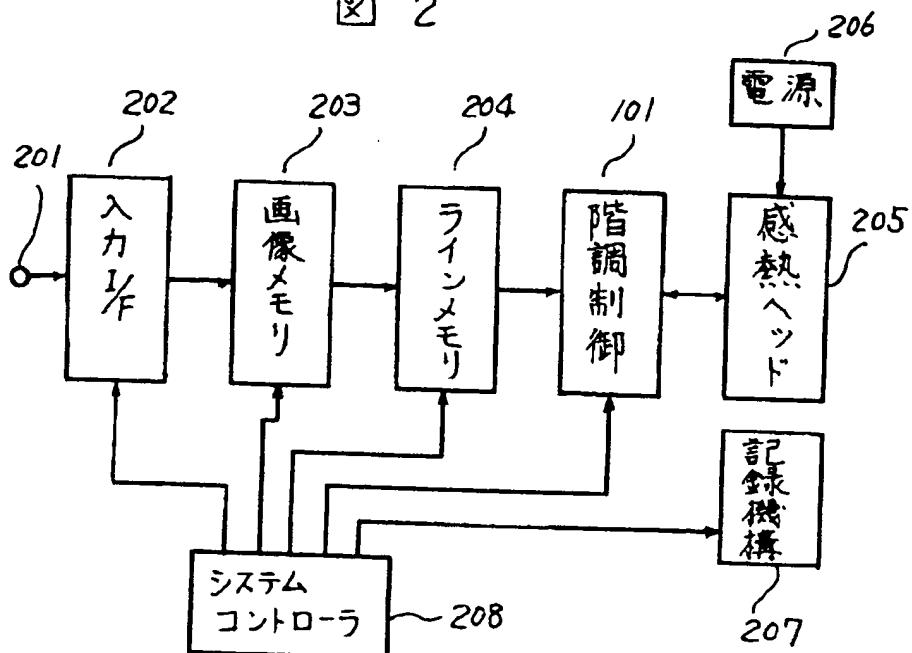
【図1】

図 1

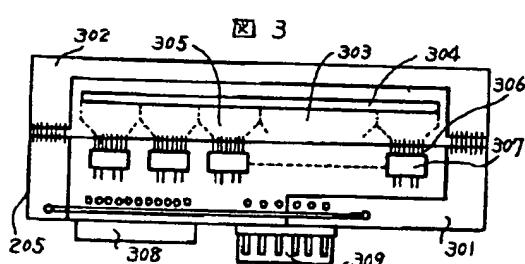


【图2】

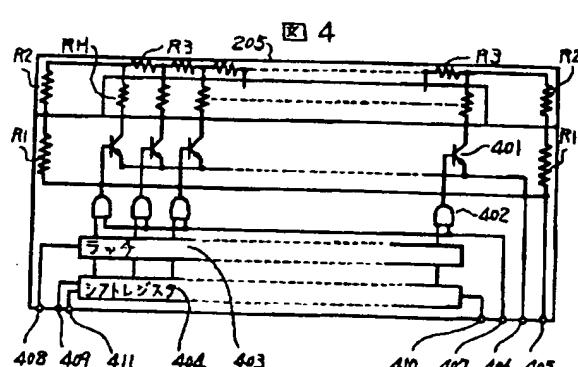
2



〔 3〕

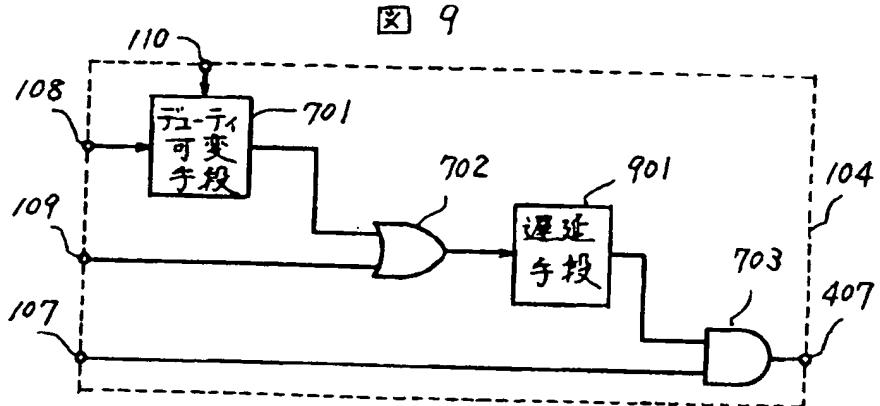


〔四〕

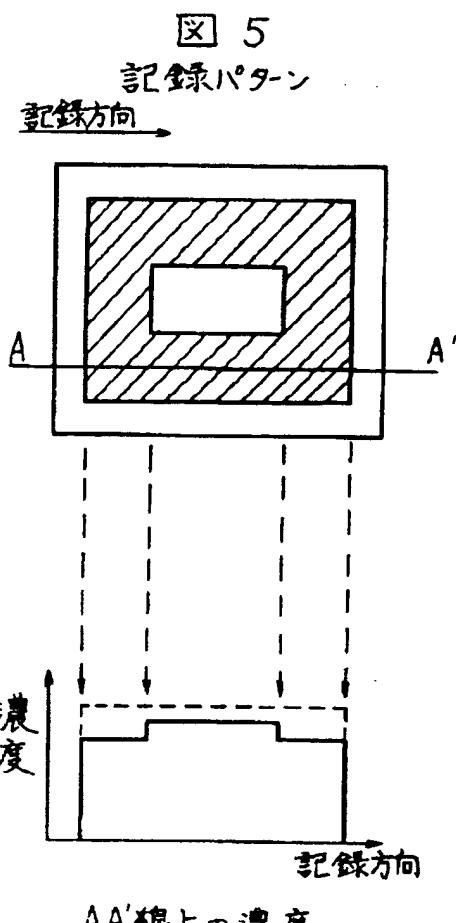


【圖9】

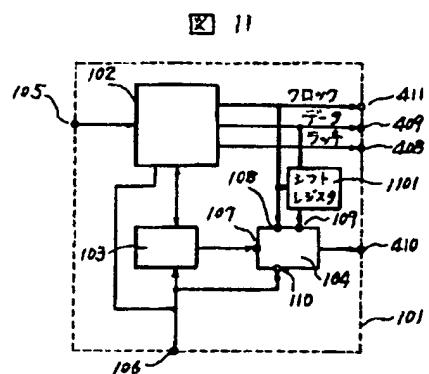
9



【図5】

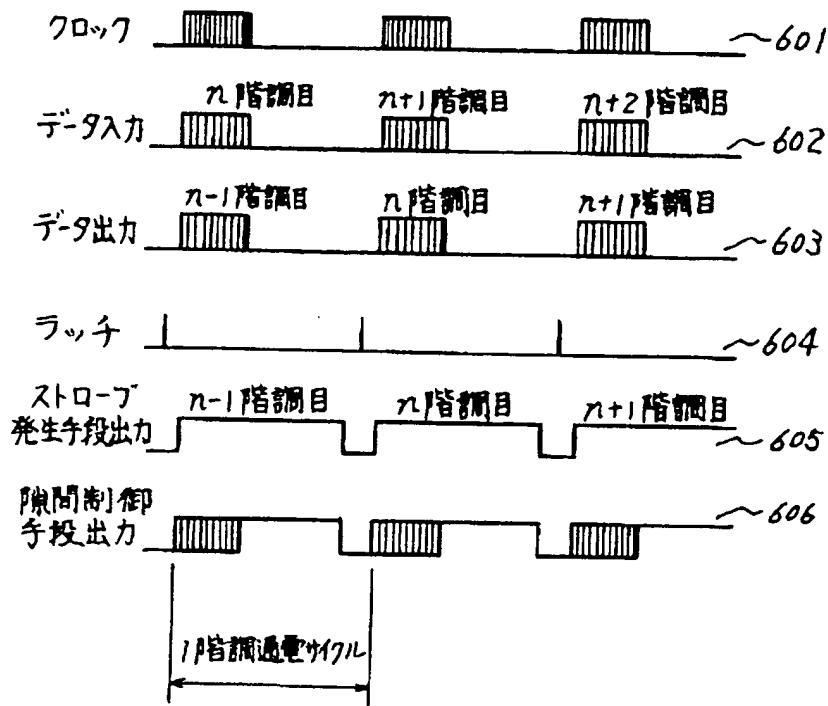


【図11】



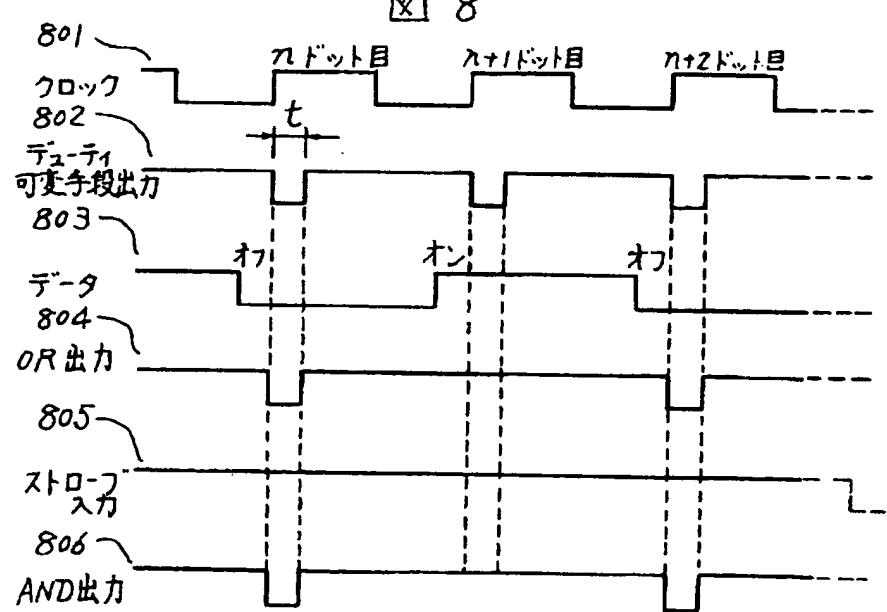
【図6】

図 6

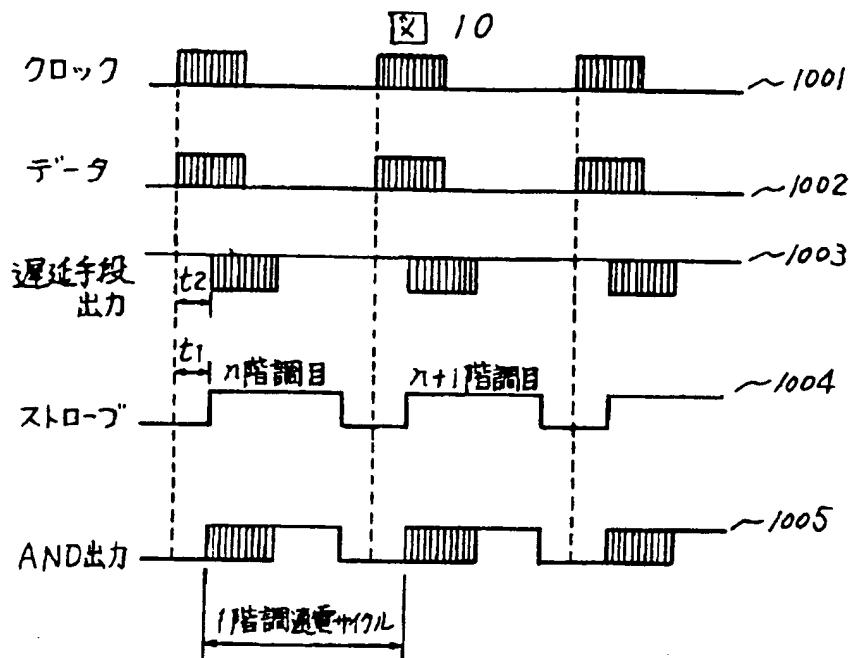


【図8】

図 8

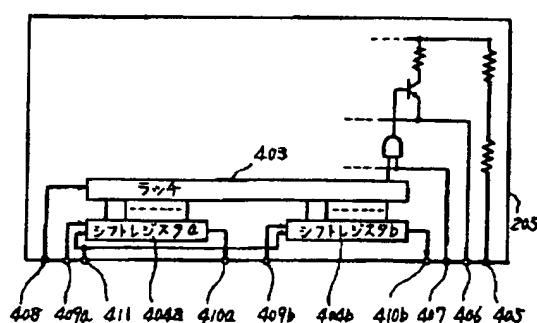


【図10】



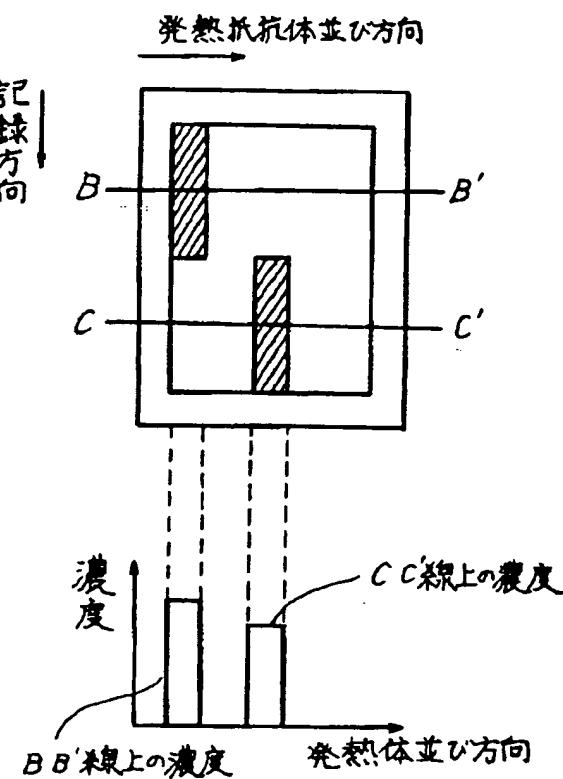
【図12】

図12

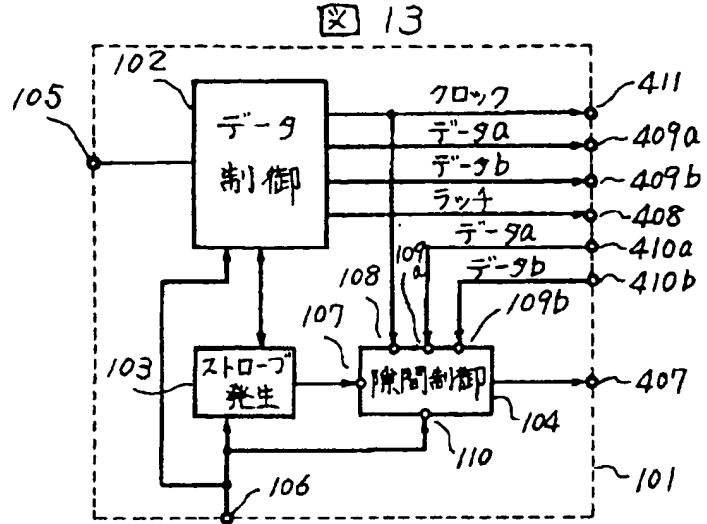


【図20】

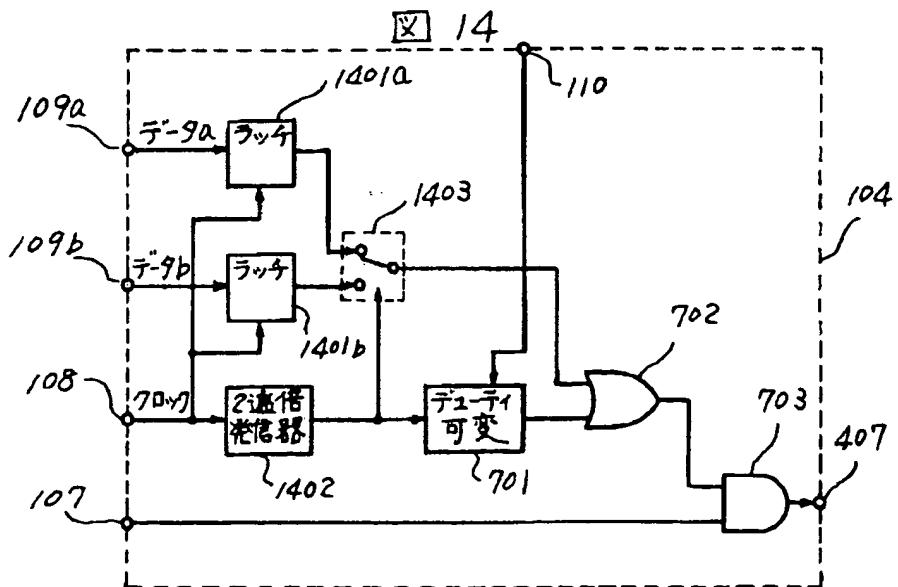
図20



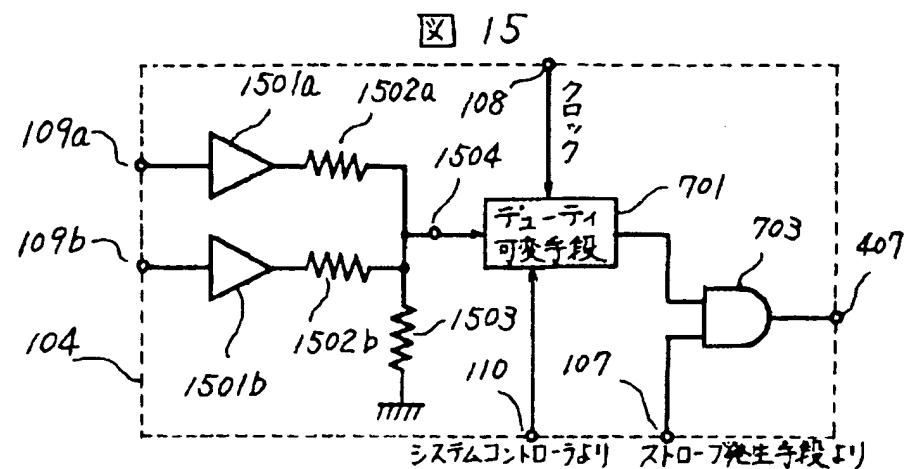
【図13】



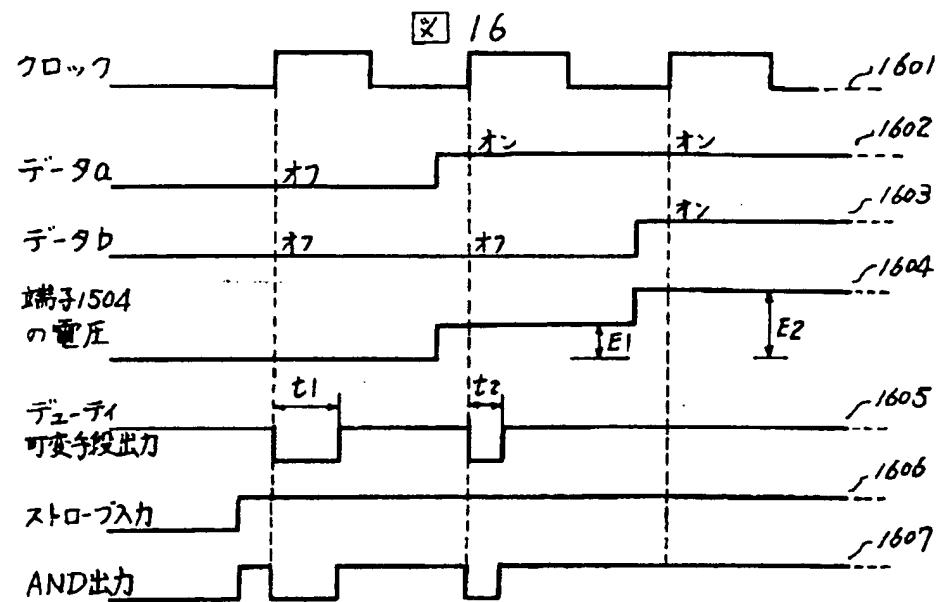
【図14】



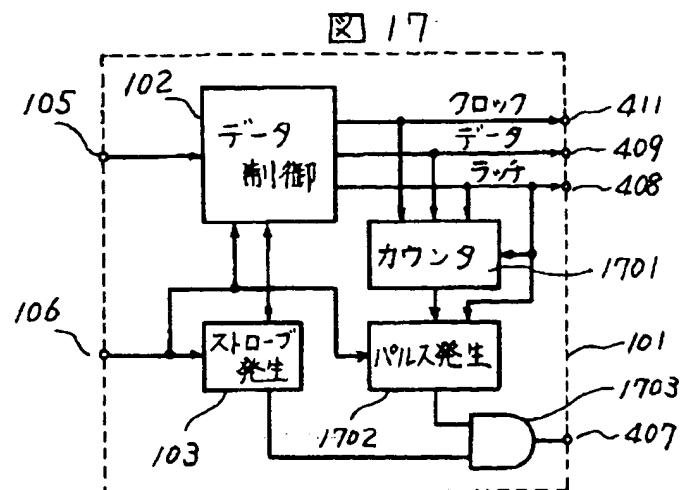
【図15】



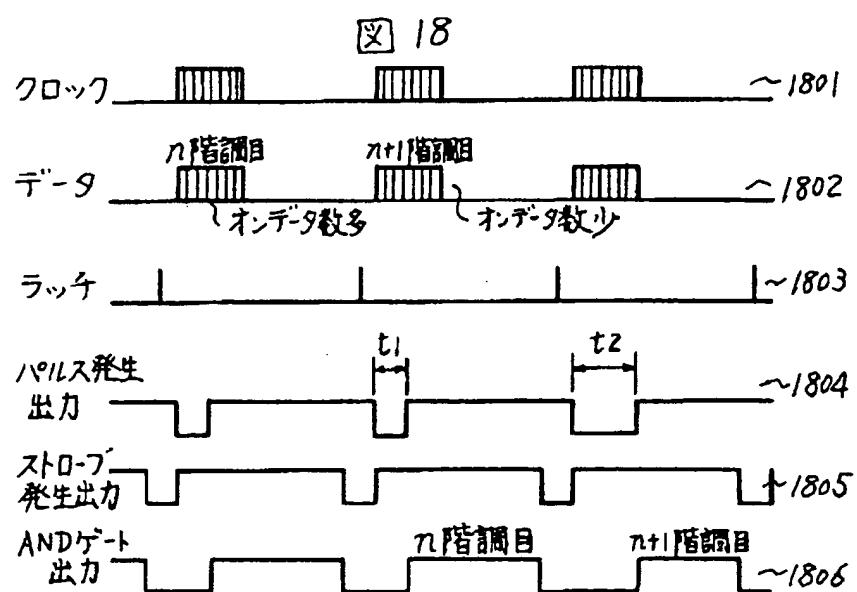
【図16】



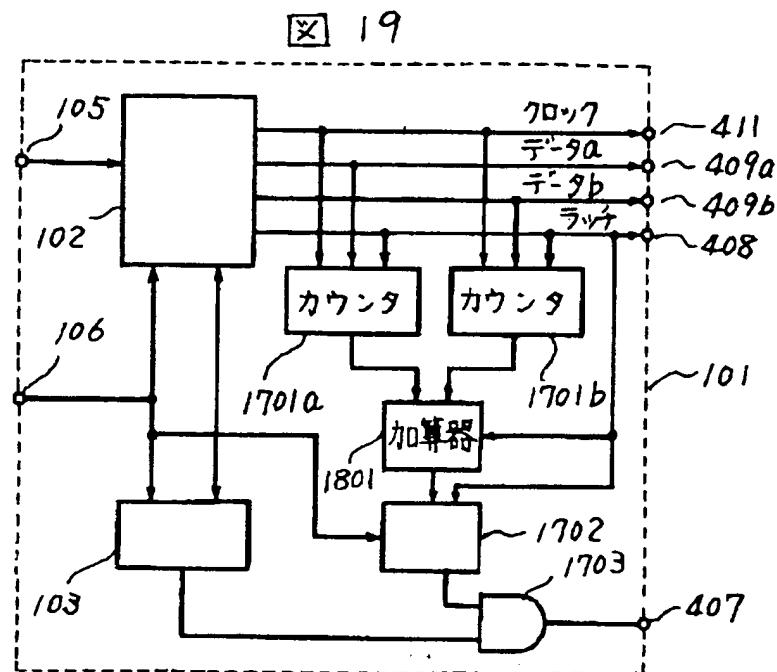
【図17】



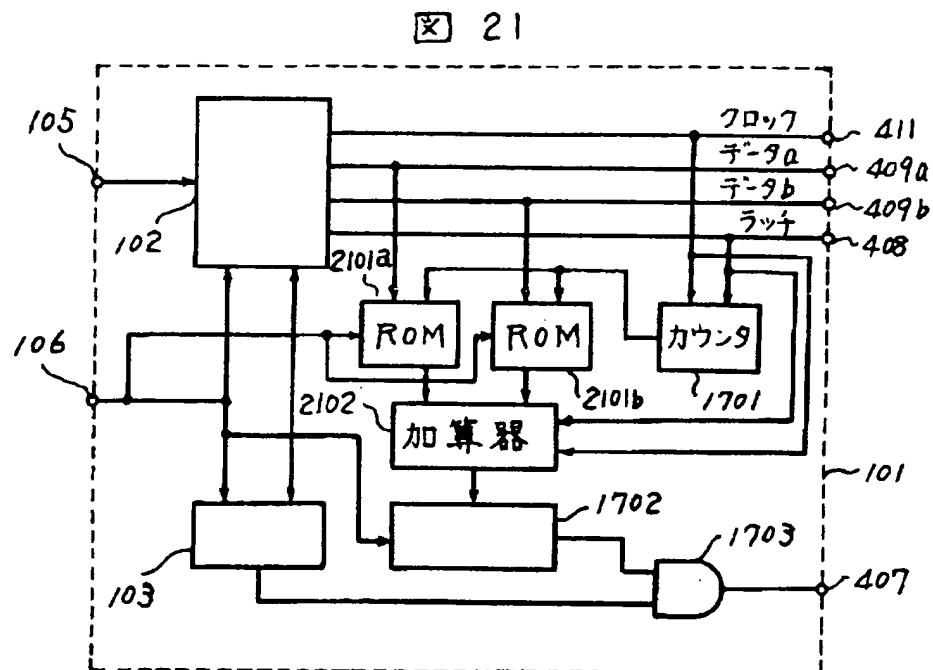
【図18】



【図19】



【図21】



フロントページの続き

(72)発明者 持丸 芳明

神奈川県横浜市戸塚区吉田町292番地株式
会社日立画像情報システム内

THIS PAGE BLANK (USPTO)